PATENT ABSTRACTS OF JAPAN

(11)Publication number:

05-312899

(43)Date of publication of application: 26.11.1993

(51)Int.CI.

GO1R 31/26 GO1R 31/28

(21)Application number: 04-113625

(71)Applicant: ADVANTEST CORP

(22)Date of filing:

06.05.1992

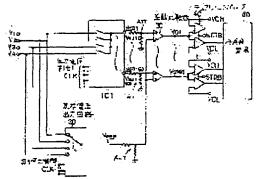
(72)Inventor: CHOKAI TAKASHI

(54) LIQUID CRYSTAL DRIVER IC TEST DEVICE

(57)Abstract:

PURPOSE: To provide a driver IC test device easy to judge the condition good or not and minimum in the test time.

CONSTITUTION: This device is provided with a driver IC1 wherein selection of test voltages V1 to V4 is carried out by a switch and the selected voltage V1 is supplied, and the output voltage VOUT1 appears at a plurality of output terminals by an output voltage control CLK, and a differential comparator 30 corresponding to the output terminals of the driver IC1. The output terminals of the driver IC1 is connected to the noninversed input of the corresponding comparator 30. A reference voltage circuit 20 generates a plurality of reference voltages VREF1 in synchronization with the output voltage control CLK. The output end of the circuit 20 is connected to the inverse input of the comparator 30, the output of the differential comparator 30 is connected to the input of the corresponding dual comparator 40, and the output of the comparator 40 is connected to a good or not judgement unit 60.



LEGAL STATUS

[Date of request for examination]

05.04.1999

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3180435

[Date of registration]

20.04.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許F (JP) (12) 公開特許公報(A)

(11)特許出頭公開番号

特開平5-312899

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl.5

裁別記号 庁內盔理爭号 FΙ

技術表示箇所

G01R 31/26 31/28 G 9214-2G

6912-2G

G01R 31/28

R

審査請求 未請求 請求項の数2(全 7 頁)

(21)出頭番号

特頭平4-113625

(71)出頭人 390005175

株式会社アドバンテスト

(22)出頭日

平成 4 年(1992) 5 月 6 日

東京都練馬区旭町1丁目32番1号

(72) 発明者 鳥海 隆

東京都練馬区旭町1丁目32番1号 株式会

社アドバンテスト内

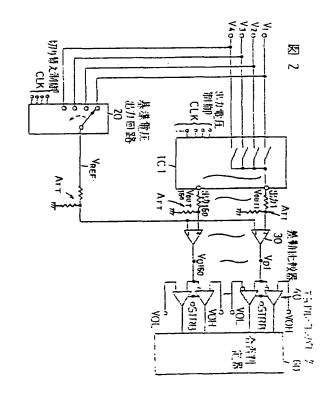
(74)代理人 弁理士 草野 卓 (外1名)

(54) 【発明の名称 】 液晶駆動ドライバ【C試験接置

(57)【要約】

【目的】 合否の判定容易、試験時間極小のドライバ [C試験装置を提供する、

【構成】 試験電圧 $V_1 \sim V_4$ の選択は切り替えスイッ チ S_{VI} $\sim S_{V4}$ により実施され、選択された試験電圧 V_I が供給されてその出力電圧VOUTIは出力電圧制御CLK により複数の出力端子に現れるドライバIC1を具備 し、ドライバIC1の複数の出力端子に対応して差動比 較器30を具備し、ドライバIC1の出力端子TouTは 対応する差動比較器30の非反転入力に接続し、複数の 基準電圧VREF1を出力電圧制御CLKに同期して発生す る基準電圧回路20を具備し、基準電圧回路20の出力 端は差動比較器30の反転入力に接続ており、差動比較 器30の出力は対応するデュアル・コンパレータ40の 入力に接続し、コンパシータ40の出力は含否判定器6 0に接続するである液晶駆動ドライバ [C 試験装置。



【持許請求の範囲】

【請求項1】 複数の試験電圧の選択は試験電圧切り替 えスイッチにより実施され、選択された試験電圧が供給 されてその結果である出力電圧は出力電圧制御CLKに より複数の出力端子に順次に現れる様に構成される版晶 駆動ドライバICを具備し、液晶駆動ドライバICの複 数の出力端子のそれぞれに対応して差動比較器を基備 し、液晶駆動ドライバICの出力端子は対応する差動比 較器の非反転入力に接続しており、復数の基準電圧を出 力電圧制御CLKに同期して発生する基準電圧回路を具 備し、基準電圧回路の出力端は差動比較器それぞれの反 転入力に接続ており、差動比較器の出力はそれぞれの対 応するデュアル・コンパレータの入力に接続し、デュア ル・コンパレータの出力はそれぞれ合否判定器に接続す るものであることを特徴とする液晶駆動ドライバIC測 定装置、

【請求項2】 請求項1に記載される液晶駆動ドライバ IC測定装置において、差動比較器それぞれの反転入力 および非反転入力にアッテネータを具備し、差動比較器 の出力とデュアル・コンパレータの入力との間にそれぞ 20 れアッテネータによる減衰を補償する倍率増幅器を具備 すること特徴とする液晶駆動ドライバIC測定装置。

【発明の詳細な説明】

[0001]

【産業上の利用分野】この発明は、液晶駆動ドライバ! C測定装置に関し、特に基準電圧と試験測定されるべき I C出力端子電圧との間の差電圧を高精度に検出することができると共に合否の判定を容易に実施することができ、そして、測定開始から測定終了に至る測定時間の極く小さい液晶駆動ドライバ!C測定装置に関する。

[0002]

【従来の技術】液晶駆動ドライバIC測定装置の従来例を図1を参照して説明する。液晶駆動ドライバIC1は比較的高圧の復数種の電圧例えば電圧 $V_1 \sim V_4$ の4種を出力するものであり、出力端子 T_{OUT} の数は80ないし160端子或はそれ以上の多数にのぼる。出力端子 T_{OUT} の数は今後も増加する傾向にある。

【0003】そこで、図1に示される如く、液晶駆動ドライバIC1を試験する場合にDCパラメトリック試験装置が従来採用されてきた。詳細な説明は省略するが、このDCパラメトリック試験装置は抵抗を単に組み合わせたアッテネータを採用して構成されたものである。図1において、入力される比較的高圧の試験電圧 V_1 である。図4の選択を試験電圧切り替えスイッチ S_{V1} で S_{V1} でいるり実施し、試験電圧切り替えスイッチ S_{V1} でついます。1に選択された電圧 V_1 が液晶駆動ドライバIC1に供給されてその結果である出力電圧 V_{JUT} 1は出力電圧制御に見れる最に環立されている。土力端テ T_{JUT1} でした。

-2

切り替えスイッチSTL〜STL60を介して順次にDCレベル測定器50に供給されて結果の判定が実施される。こで、三方電圧切り替えスイッチSTL〜STL60も出力の自己に供給されて制御としてに同期して制御されるもととする。次の電圧が設備である出力電圧VOUT2が出力に供給されて、同様にその結果である出力電圧VOUT2が出力場合である出力電圧VOUT2が出力場合である。出力場子TOUT1〜出力端子TOUT1〜出力端子TOUT1〜出力場子TOUT1〜出力場子TOUT1〜出力場子TOUT1〜出力場子TOUT1〜出力場子TOUT1〜出力場子TOUT1〜出力場子TOUT1〜出力場子TOUT1〜出力場子TOUT1〜出力場子TOUT1〜出力場子下である。上述の如くに出力場子TOUT1〜出力場子下である。上述の如くに出力場子TOUT1〜出力場子下である。上述の如くに出力に関次に見れる電圧を順次にDCレベル測定時間となる。測定時間に出力端子数×電圧値種類の数×出力端子当りのDCレベル測定時間

$= 160 \times 4 \times 10 \text{ m s} = 6.4 \text{ s}$

[0004]

【発明が解決しようとする課題】上述の通りのDCパラメトリック試験装置は抵抗を単に組み合わせたアッテネータを採用して構成されたものであることに起因して、比較的に高電圧により駆動されるICを試験測定する場合、電圧レベルの試験測定を高精度に、容易に実施することが困難であり、そして測定開始から測定終了に至る測定時間は6.45というように大きいものであった。【0005】この発明は、上述の通りの問題を解消した被晶駆動ドライバIC測定装置を提供するものである。【0006】

【課題を解決するための手段】複数の試験電圧V!~V 4 の選択は試験電圧切り替えスイッチSyi~Sy4により 実施され、選択された試験電圧 V_1 が供給されてその結 果である出力電圧VOUT1は出力電圧制御CLKにより複 数の出力端子Touti~出力端子Toutleoに順次に現れる 様に構成される液晶駆動ドライバ【C1を具備し、液晶 駆動ドライバIC1の複数の出力端子TOUTI~出力端子 Tout160のそれぞれに対応して差動比較器30を具備 し、液晶駆動ドライバIC1の出力端子Tout は対応す る差動比較器30の非反転入力に接続しており、復数の 基準電圧 V_{REF1} ($=V_1 \sim V_4$)を出力電圧制御CLKに同期して発生する基準電圧回路20を具備し、基準電 40 圧回路20の出力端は差動比較器30それぞれの反転入 力に接続ており、差動比較器30の出力はそれぞれの対 応するデュアル・コンパレータ40の入力に接続し、デ ュアル・コンパレータ40の出力はそれぞれ合否判定器 60に接続するものである液晶駆動ドライバIC測定装 置を構成し、そして請求項1に記載される液晶駆動ドラ イバIC測定装置において、差動比較器30それぞれの 反配入力および非反配入力にアッテネータで0.或はで 0) を具備し、運動比較器30の出力とデュアル・コン パンーティロの人力との間にそれぞれアッテネータによ る威震を補償する倍率増福器30を異備する被罪駆動ド

ライバIC測定装置を構成した。

[0007]

【冥施例】この発明による液晶駆動ドライバ【C測定装 置の実施例を図2を参照して説明する。この発明による 液晶駆動ドライバ [C測定装置は試験測定されるべき [C 1の出力端子 TOUT 」 ~出力端子 TOUT 180のそれぞれ に対応して差動比較器30を具備せしめる。試験測定を れるべきICIの出力端干Tour は対応する差動比較器 30の非反転入力に接続する。20は試験電圧Ⅴ1~Ⅴ 4 が入力される基準電圧回路であり、その出力端は差動 10 比較器30の非反転入力に接続している。この出力電圧 の印加に同期して基準電圧VRES を差動比較器30の反 転入力に印加する、差動比較器30の出力はそれぞれに 対応して具備されたデェアル・コンパレータ40に供給 される。なお、デュアル・コンパレータ40の上下の基 準電圧 Vola および VoHは一様に保持する。

【0008】ここで、この発明による液晶駆動ドライバ I C測定装置も、図1に示される従来例と同様に、入力 される比較的高圧の試験電圧V₁ ~V₄ の選択を試験電 圧切り替えスイッチSyl~Sylにより実施し、試験電圧 切り替えスイッチSylを介して先ず第1に選択された電 圧V₁が液晶駆動ドライバIC1に供給されてその結果 である出力電圧VouTiは出力電圧制御CLKにより出 力端子TOUTi~生力端子TOUTi60に順次に現れる様に構 成されている。出力端子TOUTI~出力端子TOUT160に順 次に現われる出力電圧VouT ; は差動比較器30;~3 0180 の非反転入力に順次に供給される。これに対し て、差動比較器301~30160の反転入力には基準電 圧回路20の出力端から出力電圧制御CLKに同期して 基準電圧 V REFi (= V₁) が供給される。ここで、差動 30 比較器30の出力は、

 $V_{01} \sim V_{0160} = V_{0UT} - V_{REF}$

である。これらの差動比較器30の出力は順次にデュア ル・コンパレータ40に供給され、これるの出力 Vol~ V₀₁₆₀は含否判定器 6 0 に順次に供給され、ここにおい て合格条件を満足しない【Cには不合格判定がなされ る。試験電圧 $V_2\sim V_4$ が選択された場合も同様であ Õ,

【0009】デェアル・コンパンータ40の上下の電圧 レベルを V_{OL} および V_{OH} とすると、合格条件は、

VOL≦VO ≦VOH

である。合否判定のタイミング・チャートは図3に示さ れる通りである。図3に示される例において、基準電圧 VREF2の場合に鎖線により示されるVOUT2の出力の場合 は出力ンベルは電圧ンベルVoHを超え、不合格(フェイ ルたと判定される。

【3010】次に、この発明の也の実施例を図4を参照 して説明する。図4において、差動比較器30万反転入 力場および延長起入力場には厳衰量ATTのアッテネー タスク収はアン を集膺する。この機にすることにより、4、3つ、倍率増塩器3つ

試験測定されるべきICIから上方される Vair と基準 電圧Vass との間の差電圧は1/ATTに減衰せしめる れる。この演奏を後受の告率増幅器30により補償する ことにより測定請度を向上することができる。減衰を更 に大きくし、これを後受の倍率増増器30の倍率を更に 大きくして補償することにより測定精度を更に向上する ことができる。また、差動比較器30の出力をA倍する ことにより測定誤差を1/Aにすることができる。

[0011]

【発明の効果】差動比較器30を採用することにより高 精度に基準電圧VREF と試験測定されるべきICIの出 力端子電圧 Vout との間の差電圧を検出することができ ると共に後段のデュアル・コンパシータ40により合否 の判定を容易に実施することができる。

【0012】そして、図3の合否判定のタイミング・チ ヤートによると、測定開始から測定終了に至る測定時間 は4msである。従って、差動コンパレータ装置を採用 したこの発明の液晶駆動ドライバIC測定装置による測 定時間÷DCパラメトリック試験装置による測定時間= $4 \times 10^{-3} \div 6$. $4 = 1 \div 1600$ である。即ち、この 発明の差動コンパレータ装置による測定時間の短縮割合 は従来のDCパラメトリック試験装置による測定時間の 1/1600ということである。

【0013】また、差動比較器30の入力端にアッテネ ータを具備してICIから出力されるVour と基準電圧 VREF との間の差電圧を減衰せしめ、この減衰を後段の 倍率増幅器80により補償することにより測定積度を向 上することができる。更に、差動比較器30の出力をA 倍することにより測定誤差を1/Aにすることができ

【図面の簡単な説明】

【図1】液晶駆動ドライバIC測定装置の従来例を説明 する図。

【図2】この発明の実施例を説明する図。

【図3】含否判定のタイミング・チャート,

【図4】この発明の他の実施例を説明する図。

【符号の説明】

Sy 試験電圧切り替えスイッチ

Vout 出力電圧

CLK 出力電圧制御

Tout 出力端子

基準電圧 VREF

液晶駆動ドライバIC

20 基準電圧回路

30 差動之較器

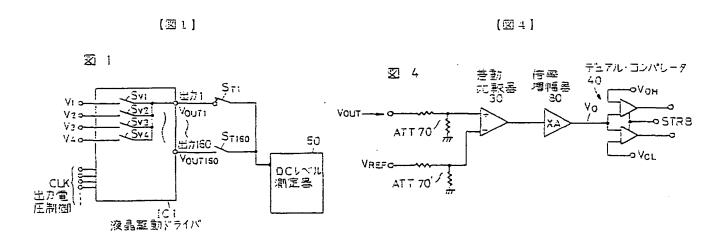
40 デュアル・コンパンーヌ

60 合否判定器

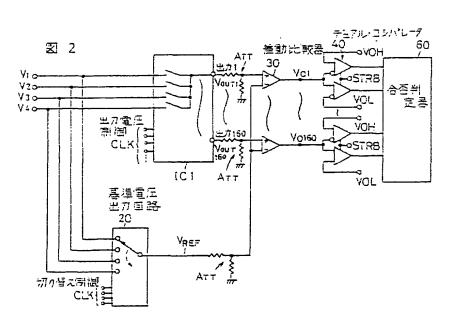
てり アッテネータ

ての アッテネータ

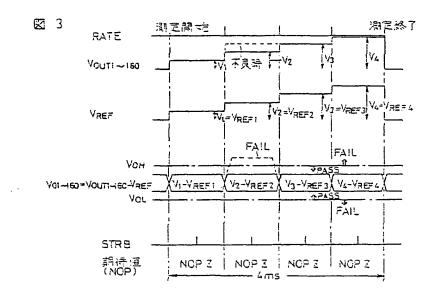
(4)



[図2]



[図3]



【手続補正書】

【提出日】平成5年4月14日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正內容】

【書類名】 明細書

【発明の名称】 液晶駆動ドライバ [C 試験装置

【特許請求の範囲】

【請求項1】 複数の試験電圧の選択は試験電圧切り若 えスイッチにより実施され、選択された試験電圧が供給 されてその結果である出力電圧は出力電圧制御CLKに より複数の出力端子に順次に現れる様に構成される液晶 駆動ドライバICの多数の出力端子のそれぞれに対応して 差動比較器を具備し、液晶駆動ドライバICの出力 子は対応する差動比較器の非反転入力に接続して発生 の基準電圧を出力電圧制御CLKに同期して発生 る基準電圧回路を具備し、基準電圧回路の出力端は を設計されぞれの反転入力に接続でおり、 差動比較器それぞれの反転入力に接続でおり、 差動比較器であるデュアル・コンパレータの入 力に接続し、デェアル・コンパレータの出力はそれでれ 力に接続し、デェアル・コンパレータの出力はそれでれ 力に接続し、デェアル・コンパレータの出力はそれでれ を事則定器に接続するものであることを特徴とする液晶 駆動ドライバIC試験振費、

【請求項2】 請求項1に記載される液晶駆動ドライバ [C 試験振置において、差動比較器それぞれの反転入力 および非反転入力にアッテネータを具備し、差動比較器 の立力とデュアル・コンパレータの入力との間にそれぞ れでレデスータによる気度を確復する法學環境器を具備 すること特徴とする液晶駆動ドライバIC試験装置。 【発明の詳細な説明】

[0001]

【産業上の利用分野】この発明は、液晶駆動ドライバI C試験装置に関し、特に基準電圧と試験されるべきIC 出力端子電圧との間の差電圧を高精度に検出することができると共に合否の判定を容易に実施することができ、 そして、試験開始から試験終了に至る試験時間の極く小 さい液晶駆動ドライバIC試験装置に関する。

[0002]

【従来の技術】液晶駆動ドライバIC試験装置の従来例を図1を参照して説明する。液晶駆動ドライバIC1は比較的高圧の復数種の電圧列えば電圧 $V_1 \sim V_4$ の4種を出力するものであり、出力端子 T_{OUT} の数は80ないし160端子或はそれ以上の多数にのぼる。出力端子 T_{OUT} の数は今後も増加する傾向にある。

【0003】そこで、図1に示される如く、液晶駆動ドライバ I C 1 を試験する場合にD C パラメトリック試験装置が従来採用されてきた。詳細な説明は省略するが、このD C パラメトリック試験装置は電流発生、電圧測定器を採用して構成されたものである。図1において、入力される比較的高圧の試験電圧 $V_1 \sim V_4$ の選択を試験電圧切り替えスイッチ S_{V_1} に選択された電圧 $V_1 \sim V_4$ の選択を試験電圧切り替えスイッチ S_{V_1} に選択された電圧 V_1 が次晶駆用 V_2 である。二元電圧 V_3 が次晶駆用 V_3 に発力された電圧 V_4 が次晶駆用 V_3 に発力された電圧 V_4 が次晶 V_4 に V_5 に V_5

0UT1~出力端子 T_{0UT160} に順次に現れる出力電圧 V_{0UT1} は出力電圧切り替えスイッチ S_{T1} ~ S_{T160} を介して順次にDCレベル測定器 5_{10} 0に供給されて海果の判定が実施される。ここで、出力電圧切り替えスイッチ S_{T1} ~ S_{10} 0も出力電圧制御CLKに同期して制御されるもととする。次いで選択された電圧 V_{2} が液晶駆動ドライバ C_{1} 1に供給されて、同様にその結果である出力電圧 V_{2} 00 T_{2} 1が出力端子 $T_{0UT_{1}}$ 1~出力端子 $T_{0UT_{1}}$ 1~ S_{1160} 100 に順次に見れ、出力切り替えスイッチ S_{T1} ~ S_{1160} 110 に順次にDCレベル測定器 S_{11} 0に供給されて結果の判定が実施される。以下、同様である。上述の如くに出力端子 S_{11} 0 S_{11} 100 に関次に見れる電圧を順次に S_{11} 10 S_{11} 100 に供給して結果の判定が表施され、試験が完了する。この試験時間はおよそ下記の通りとなる。

測定時間=出力端子数×電圧値種類の数×出力端子当りのDCレベル試験時間

 $= 160 \times 4 \times 10 \text{ ms} = 6.4 \text{ s}$

[0004]

【発明が解決しようとする課題】上述の通りのDCパラメトリック試験装置は電流発生、電圧測定器及び電圧発生、電流測定器を採用して構成されたものであることに起因して、比較的に高電圧により駆動されるICを試験する場合、電圧レベルの試験を高精度及び高速に、容易に実施することが困難であり、そして試験開始から試験終了に至る測定時間は6.45というように大きいものであった。

【0005】この発明は、上述の通りの問題を解消した 液晶駆動ドライバ [C 試験装置を提供するものである。 【0006】

【課題を解決するための手段】複数の試験電圧V₁ ~V 4 の選択は試験電圧切り替えスイッチSvi~Sviにより 実施され、選択された試験電圧V₁が供給されてその結 果である出力電圧Vourtはテストパターンに同期した出 方電圧制御CLKにより多数の出力端子TouT!~出力端 子Toutleoに順次に現れる様に構成される液晶駆動ドラ イバIC1の多数の出力端子TOUT!~出力端子TOUT160 のそれぞれに対応して差動比較器30を具備し、液晶駆 動ドライバIC1の出力端テTOUT は対応する差動比較 器30の非反転入力に接続しており、復数の基準電圧V REF! $(=V_1 \sim V_4)$ をテストパターンに同期した出力 電圧制御CLKに同期して発生する基準電圧回路20を 具備し、基準電圧回路20の出力端は差動之較器30そ れぞれの反転入力に接続ており、差動比較器30の出力 はそれぞれの対応するデェアル・コンパンータ40の入 力に接続し、デュアル・コンパレータ40の圧力はそれ ぞれ合否判定器30に接続するものである液晶駆動ドラ イバーC試験設置を構成し、そして請求項目に記載され る反晶駆動ドライバ(C試験装置において、差動比較器 30そのぞのの英語入力および非英語入力にアッチネー

タ70 或は70°を具備し、差動比較器30の出力とデュアル・コンパレータ40の入力との間にそれぞれアッテネータによる減衰を補償する倍率増殖器80を具備する液晶駆動ドライバIC測定装置を構成した。

[0007]

【実施例】この発明による液晶駆動ドライバIC試験装置の実施例を図2を参照して説明する。この発明による液晶駆動ドライバIC試験装置は試験されるべきICIの出力端子 T_{OUT} 160のぞれぞれに対応して差動比較器30を具備せしめる。試験されるべきIC1の出力端子 T_{OUT} 160のぞれぞれに対応して差動比較器30の出力に接続する。20は試験電圧 $V_1 \sim V_4$ 1が入力される基準電圧回路であり、その出力端は差動比較器30の非反転入力に接続している。この出力電圧の印加に同期して基準電圧 V_{REF} 20上で表出している。差動比較器30の反転入力に対応に対応して現備されたデェアル・コンパレータ40に供給される。なお、デェアル・コンパレータ40の上下の基準電圧 V_{OL} 20に保持する。

$V_{01} \sim V_{0160} = V_{OUT} - V_{REF}$

である。これらの差動比較器 30 の出力は順次にデュアル・コンパレータ 40 に供給され、これらの出力 $V_{01}\sim V_{0160}$ は合否判定器 60 に順次に供給され、ここにおいて合格条件を満足しない 10 には不合格判定がなされる。試験電圧 $V_2\sim V_4$ が選択された場合 10 も同様である。

[0009] デェアル・コンパレータ40の上下の電圧 レベルを V_{OL} および V_{OH} とすると、合格条件は、

$V_{0L} \leq V_0 \leq V_{0H}$

である。合否制定のタイミング・チャートは図3に示される通りである。図3に示される例において、基準電圧 VREF2の場合に鎖線により示されるVOUT2の土力の場合 は土力ンベルは賃圧ンベルVORを超え、不合格(フェイル)と判定される。

【0010】次に、この発明の他の実施例を図4を参照

して説明する、図4において、差動比較器30の反転入 力端および非反転入力端には減衰量ATTのアッテネー タ70或は70′を具備する、この様にすることにより 電圧VREFとの間の差電圧は1/ATTに減衰せしめる。 この減衰を後段の倍率増幅器30により補償を ことにより測定間度を向上することができる。減衰を更に 大きくし、これを後段の倍率増幅器30の倍率を更に 大きくして補償することにより差電圧の精度を更に向上 することができる。また、差動比較器30の出力をA倍 することにより差電圧の誤差を1/Aにすることができる。

$\{0011\}$

【発明の効果】差動比較器30を採用することにより高精度に基準電圧VREFと試験測定されるべき[C1の出力端子電圧VOUT との間の差電圧を検出することができると共に後段のデュアル・コンパンータ40により合否の判定を容易に実施することができる。

【0012】そして、図3の合否判定のタイミング・チャートによると、測定開始から測定終了に至る測定時間は4msである。従って、差動ニンパレータ装置を採用したこの発明の液晶駆動ドライバ I C 測定装置による試験時間 + DC パラメトリック試験装置による試験時間 $+ 4 \times 10^{-3} + 6$. + 4 = 1 + 1600 である。即ち、この発明の差動コンパレータ装置による試験時間の短縮割合は従来のDC パラメトリック試験装置による試験時間の1/1600ということである。

【0013】また、差動比較器30の入力端にアッテネータを具備して101から出力されるVout と基準電圧VREP との間の差電圧を減衰せしめ、この減衰を後段の倍率増幅器30により補償することにより差電圧の預度を向上することができる。更に、差動比較器30の出力をA倍することにより差電圧の誤差を1/Aにすることができる。

【図面の簡単な説明】

【図1】液晶駆動ドライバIC測定装置の従来例を説明 する図。

- 【図2】この発明の実施例を説明する図。
- 【図3】合否判定のタイミング・チャート。
- 【図4】この発明の他の実施例を説明する図。

【符号の説明】

Sy 試験電圧切り替えスイッチ

Volit 出力電圧

CLK テストパターンに同期した出力電圧制御

Tout 出力端子

VREF 基準電圧

- 1 液晶駆動ドライバIC
- 20 基準電圧回路
- 30 差動比較器
- 40 デュアル・コンパレータ
- 60 合否判定器
- 70 アッテネータ
- 70'アッテネータ
- 80 倍率增幅器